

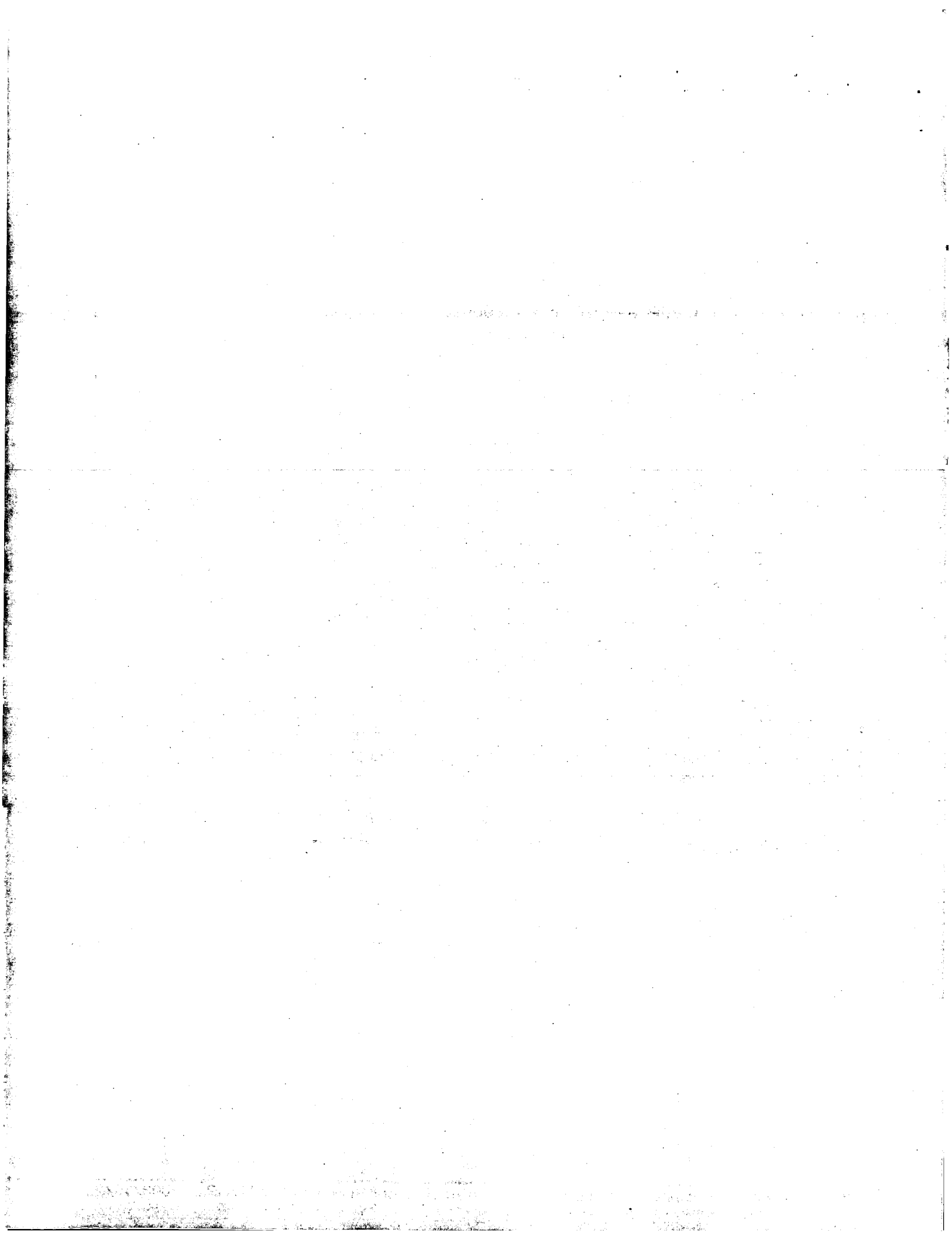
Semiconductor device

Patent Number: ☐ US6259612
Publication date: 2001-07-10
Inventor(s): ITOH YASUO (JP)
Applicant(s): TOKYO SHIBAURA ELECTRIC CO (US)
Requested Patent: JP2001095234
Application Number: US20000665071 20000919
Priority Number(s): JP19990266144 19990920
IPC Classification: G05F1/10; H02M3/18
EC Classification: H02M3/07
Equivalents:

Abstract

An internal voltage generator generates an internal voltage that is obtained by up-converting or down-converting an external power supply voltage. A resistor-voltage divider, having a plurality of resistors, outputs a first divided voltage that is obtained by dividing the internal voltage according to a resistance ratio of the resistors. A capacitor-voltage divider, having a plurality of capacitors connected in series between an output terminal of the internal voltage generator and a ground level, outputs a second divided voltage from the capacitors. A comparator compares a reference voltage and the first divided voltage for controlling the internal voltage generator according to a result of comparison. The comparator judges whether to halt operation of the internal voltage generator or not based on the result of comparison between the reference voltage and the first divided voltage while the internal voltage generator is operating. On the other hand, the comparator operates the internal voltage generator based on the result of comparison between the reference voltage and the second divided voltage while the internal voltage generator is not operating. The comparator further controls the resistor-voltage divider so that a current flows therethrough only when the internal voltage generator is operating

Data supplied from the esp@cenet database - I2



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-95234

(P2001-95234A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.Cl.	識別記号	F I	テマコード (参考)
H 0 2 M 3/07		H 0 2 M 3/07	5 F 0 3 8
H 0 1 L 27/04		3/155	S 5 H 7 3 0
21/822		H 0 1 L 27/04	G
H 0 2 M 3/155			

審査請求 未請求 請求項の数 9 O L (全 9 頁)

(21) 出願番号 特願平11-266144

(22) 出願日 平成11年9月20日 (1999.9.20)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 伊 藤 亨 夫

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター

(74) 代理人 100064285

弁理士 佐藤 一雄 (外3名)

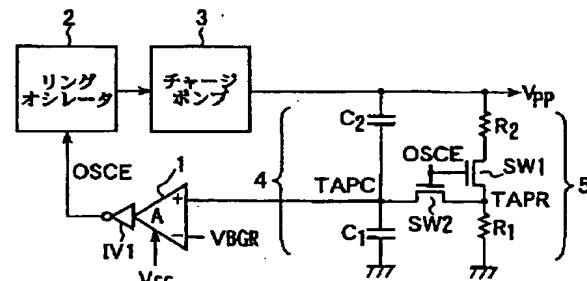
Fターム (参考) 5F038 AC03 AC05 B805 B808 BG02
 BG05 BG07 DF01 DF08 DF16
 EZ20
 5H730 AA14 AA15 BB02 BB57 FD01
 ZZ15

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 チップの占有面積を小さくしつつ消費電力を低減できる半導体集積回路を提供する。

【解決手段】 本発明は、オペアンプ1と、インバータIV1と、リングオシレータ2と、チャージポンプ3と、キャパシタC1、C2からなる容量分圧回路4と、抵抗R1、R2からなる第1の抵抗分圧回路5と、抵抗R1、R2の間に接続されたトランジスタスイッチSW1と、容量分圧回路4および第1の抵抗分圧回路5の各分圧出力端子間に接続されたトランジスタスイッチSW2とを有する。チャージポンプ3が昇圧動作を行っていない待機状態時は、トランジスタスイッチSW1、SW2をオフして、第1の抵抗分圧回路5に電流が流れないようにして容量分圧回路4のみで昇圧電圧V_{pp}の電圧検知を行うため、待機状態時の消費電力を低減することができる。



【特許請求の範囲】

【請求項1】外部から供給された電源電圧を昇圧または降圧した内部電圧を生成する内部電圧生成手段と、複数の抵抗素子を有し、前記内部電圧を各抵抗素子の抵抗比で分圧した第1の分圧電圧を出力する第1の抵抗分圧回路と、

基準電圧と前記第1の分圧電圧との比較結果に応じて前記内部電圧生成手段を制御する比較手段と、を備えた半導体集積回路において、

前記内部電圧生成手段の出力端子と接地端子との間に直列接続された複数のキャパシタ素子を有し、前記複数のキャパシタ素子の間から第2の分圧電圧を出力する容量分圧回路を備え、

前記比較手段は、前記内部電圧生成手段の動作期間中は前記基準電圧と前記第1の分圧電圧との比較結果に基づいて前記内部電圧生成手段の動作を継続するかどうかを判断し、前記内部電圧生成手段の非動作期間中は前記基準電圧と前記第2の分圧電圧との比較結果に基づいて前記内部電圧生成手段を動作させ、

前記第1の抵抗分圧回路は、前記内部電圧生成手段が動作している間のみ電流が流れるように前記比較手段により制御されることを特徴とする半導体集積回路。

【請求項2】前記第1の抵抗分圧回路内の各抵抗素子に電流を流すかどうかを切り替える第1のスイッチ手段と、前記第1の抵抗分圧回路の分圧出力端子と前記容量分圧回路の分圧出力端子との間に接続された第2のスイッチ手段と、を備え、

前記比較手段は、前記内部電圧が所定の電圧を超えた場合には、前記第1の抵抗分圧回路内の各抵抗素子に電流が流れないように前記第1のスイッチ手段を切替制御し、かつ、前記第1の抵抗分圧回路の分圧出力端子と前記容量分圧回路の分圧出力端子とが遮断されるように前記第2のスイッチ手段を切替制御し、かつ、前記基準電圧と前記第2の分圧電圧との比較結果に応じて前記内部電圧制御手段を動作させるかどうかを判断し、前記内部電圧が前記所定の電圧以下の場合には、前記第1の抵抗分圧回路内の各抵抗素子に電流が流れるように前記第1のスイッチ手段を切替制御し、かつ、前記第1の抵抗分圧回路の分圧出力端子と前記容量分圧回路の分圧出力端子とが接続されるように前記第2のスイッチ手段を切替制御し、かつ、前記基準電圧と前記第1の分圧電圧との比較結果に基づいて前記内部電圧制御手段の動作を継続するかどうかを判断することを特徴とする請求項1に記載の半導体集積回路。

【請求項3】前記比較手段は、前記内部電圧生成手段を動作させるかどうかを示す信号を出力する第1の差動増幅器を有し、

前記第1の差動増幅器は、前記内部電圧生成手段の動作期間中は前記第1の分圧電圧と前記基準電圧との比較結果に応じた電圧を出力し、前記内部電圧生成手段の非動

作期間中は前記第2の分圧電圧と前記基準電圧との比較結果に応じた電圧を出力することを特徴とする請求項1または2に記載の半導体集積回路。

【請求項4】前記比較手段は、

前記第1の差動増幅器の電源端子に電源電圧を供給するか否かを切り替える第2の差動増幅器を有し、

前記第2の差動増幅器は、前記内部電圧生成手段の動作期間中は前記第1の分圧電圧と前記基準電圧との比較結果に基づいて前記第1の差動増幅器の電源端子に電源電圧を供給するか否かを判断し、前記内部電圧生成手段の非動作期間中は前記第2の電圧と前記基準電圧との比較結果に基づいて前記第1の差動増幅器の電源端子に電源電圧を供給するか否かを判断することを特徴とする請求項3に記載の半導体集積回路。

【請求項5】前記第2の差動増幅器は、前記第1の差動増幅器よりも低消費電力型の回路で構成されることを特徴とする請求項4に記載の半導体集積回路。

【請求項6】複数の抵抗素子を有し、前記内部電圧を各抵抗素子の抵抗比で分圧した第3の分圧電圧を出力する第2の抵抗分圧回路を備え、

前記第2の抵抗分圧回路の分圧出力端子と前記容量分圧回路の分圧出力端子とを接続したことを特徴とする請求項1～5のいずれかに記載の半導体集積回路。

【請求項7】前記第1の抵抗分圧回路内の各抵抗素子の抵抗比と、前記第2の抵抗分圧回路内の各抵抗素子の抵抗比とを略等しくし、かつ、前記第1の抵抗分圧回路内の各抵抗素子のインピーダンスを前記第2の抵抗分圧回路内の各抵抗素子のインピーダンスよりも小さくすることを特徴とする請求項6に記載の半導体集積回路。

【請求項8】前記容量分圧回路内の各キャパシタ素子は、ディフュージョン型のMOSトランジスタで構成されることを特徴とする請求項1～7のいずれかに記載の半導体集積回路。

【請求項9】前記第1および第2のスイッチ手段は、CMOSトランジスタで構成されることを特徴とする請求項2に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、外部から供給された電源電圧を用いて、DRAM等の半導体装置の内部で使用する内部電圧を発生する半導体集積回路に関する。

【0002】

【従来の技術】半導体装置（例えば、DRAM）内部で複数の電圧レベルの電圧を使用する場合がある。このような場合、外部から供給された電源電圧を半導体装置の内部で昇圧あるいは降圧する回路を有する。

【0003】図12はこの種の従来の昇圧回路の概略構成図である。図12の回路は、オペアンプ1と、オペアンプ1の正側入力端子に接続された抵抗分圧回路5と、

オペアンプ1の出力端子に接続されたインバータ1V1と、インバータ1V1の出力により制御されるリングオシレータ2と、リングオシレータ2の出力により制御されるチャージポンプ3と、チャージポンプ3の出力端子に接続されたキャパシタC_{pp}とを有する。

【0004】抵抗分圧回路5は、チャージポンプ3で昇圧された昇圧電圧V_{pp}を分圧する。オペアンプ1は、抵抗分圧回路5の分圧電圧TAPと基準電圧V_{BGR}とを比較し、前者の電圧レベルの方が高ければ正信号を出力し、後者の電圧レベルの方が高ければ負信号を出力する。したがって、インバータ1V1の出力OSCEは、分圧電圧TAP>基準電圧V_{BGR}のときにローレベルになり、分圧電圧TAP<基準電圧V_{BGR}のときにハイレベルになる。

【0005】なお、基準電圧V_{BGR}は、温度特性を持たない不図示のバンドギャップリファレンス回路の出力電圧であり、例えば、V_{BGR}=1.25Vに設定される。

【0006】図13は、図12の昇圧回路で昇圧された昇圧電圧V_{pp}、分圧電圧TAP、およびインバータ1V1の出力OSCEの各電圧波形図である。以下、図13の電圧波形図に基づいて図12の昇圧回路の動作を説明する。

【0007】昇圧電圧V_{pp}が安定状態から低下し、分圧電圧TAPが基準電圧V_{BGR}よりも低くなると、インバータ1V1の出力がローレベルからハイレベルに変化する。これにより、リングオシレータ2が発振動作を開始し、それに応じてチャージポンプ3も昇圧動作を開始する。

【0008】昇圧電圧V_{pp}が高くなると、やがて分圧電圧TAPが基準電圧V_{BGR}よりも高くなり、インバータ1V1の出力がローレベルに変化する。これにより、リングオシレータ2は発振動作を停止し、それに応じてチャージポンプ3も昇圧動作を停止する。

【0009】以上の動作を繰り返すことにより、昇圧電圧V_{pp}は、(1)式で示す電圧値になる。

【0010】

$$V_{pp} = \{1 + (R2/R1)\} \times V_{BGR} \quad \dots (1)$$

図14は図12のオペアンプ1の等価回路図である。図14のオペアンプ1は、カレントミラーを構成するPMOSトランジスタQ1、Q2と、入力信号の論理に応じてオン・オフするNMOSトランジスタQ3、Q4と、オペアンプ1をイネーブル状態（活性状態）にするか否かを切り替えるNMOSトランジスタQ5と、オペアンプ1の出力を有効にするか否かを切り替えるNMOSトランジスタQ6とを有する。

【0011】図14のトランジスタQ3のゲート電圧がトランジスタQ4のゲート電圧よりも高ければトランジスタQ3がオンし、それに応じてトランジスタQ1、Q2がオンしてV_{OUT}は正電源電圧V_{cc}と略等しくなる。逆に、トランジスタQ4のゲート電圧がトランジスタQ3のゲート電圧よりも低ければトランジスタQ4がオンして、V_{out}は接地電圧と略等しくなる。

【0012】最近のDRAMやFRAM等は、消費電力の低減の

ため、メモリの動作状態時と待機状態時とで昇圧回路の制御を切り替え、動作状態時のみ昇圧回路を動作させている。ところが、昇圧回路で昇圧された昇圧電圧は、メモリ内部の数多くの場所で使用されるため、昇圧回路の負荷はかなり重くなる。したがって、消費電力の低減のため、動作状態時のみ昇圧回路を動作させるようにすると、昇圧電圧が所望の電圧に達するまでにかなりの時間がかかってしまう。

【0013】そこで、図15に示すように、動作状態時の電圧制御回路21aと、待機時の電圧制御回路21bとを有する昇圧回路が提案されている。電圧制御回路21a、21bの回路構成はほぼ同じであるが、電圧制御回路21b内のオペアンプ1aは低消費電力型であり、また、電圧制御回路21b内の抵抗R1H、R2Hは電圧制御回路21a内の抵抗R1L、R2Lの抵抗値よりも大きい。

【0014】図15のオペアンプ1aは、動作状態時を示す信号activeがハイレベルのときのみ動作し、オペアンプ1bは、待機時を示す信号standbyがハイレベルのときのみ動作する。

【0015】

【発明が解決しようとする課題】しかしながら、図15の昇圧回路には、以下の問題がある。待機状態時には、半導体装置内のほとんどの回路は動作しないため、昇圧回路の駆動能力をできるだけ制限するのが望ましい。そのためには、オペアンプ1sの消費電流を少なくするとともに、抵抗分圧回路5を構成する抵抗R1H、R2Hの抵抗値をできるだけ大きくして、貫通電流を少なくする必要がある。

【0016】オペアンプ1sの消費電流を少なくすることは、従来知られた技術であり、電流を制限するためのトランジスタを追加することで、容易に実現可能である。ところが、抵抗分圧回路を構成する抵抗R1H、R2Hを高抵抗にすると、それに応じて抵抗配線の占める面積が増大し、抵抗配線の浮遊容量も増大する。その結果、RC遅延量が大きくなり、電圧のフィードバック制御が鈍くなる。

【0017】以上では、昇圧回路についてのみ説明したが、降圧回路の場合も、同様の問題が生じる。

【0018】図16は従来の降圧回路の概略構成図である。図16の降圧回路は、オペアンプ1と、PMOSトランジスタQ8と、抵抗分圧回路5を構成する抵抗R1、R2とで構成される。降圧電圧V_{out}が所望の電圧よりも低くなると、抵抗分圧回路5の分圧電圧TAPが基準電圧V_{BGR}よりも低くなる。それに応じて、オペアンプ1の出力電圧は高くなり、トランジスタQ8はオフする。これにより、降圧電圧V_{out}を高くするような制御が行われる。

【0019】また、図17は動作状態時の電圧制御回路と待機時の電圧制御回路とを有する降圧回路の回路図で

ある。図17の回路は、動作状態時にはスイッチをオンし、待機時にはスイッチをオンする。

【0020】図17の降圧回路も、図12の昇圧回路と同様に、抵抗分圧回路5を有するため、待機時に消費電力を低減しようとする、チップの占有面積が増えるとともに、配線遅延も増大し、製造コストも高くなるという問題がある。

【0021】本発明は、このような点に鑑みてなされたものであり、その目的は、チップの占有面積が小さくても消費電力を低減できる半導体集積回路を提供することにある。

【0022】

【課題を解決するための手段】上述した課題を解決するために、請求項1の発明は、外部から供給された電源電圧を昇圧または降圧した内部電圧を生成する内部電圧生成手段と、複数の抵抗素子を有し、前記内部電圧を各抵抗素子の抵抗比で分圧した第1の分圧電圧を出力する第1の抵抗分圧回路と、基準電圧と前記第1の分圧電圧との比較結果に応じて前記内部電圧生成手段を制御する比較手段と、を備えた半導体集積回路において、前記内部電圧生成手段の出力端子と接地端子との間に直列接続された複数のキャパシタ素子を有し、前記複数のキャパシタ素子の間から第2の分圧電圧を出力する容量分圧回路を備え、前記比較手段は、前記内部電圧生成手段の動作期間中は前記基準電圧と前記第1の分圧電圧との比較結果に基づいて前記内部電圧生成手段の動作を継続するか否かを判断し、前記内部電圧生成手段の非動作期間中は前記基準電圧と前記第2の分圧電圧との比較結果に基づいて前記内部電圧生成手段を動作させ、前記第1の抵抗分圧回路は、前記内部電圧生成手段が動作している間のみ電流が流れるように前記比較手段により制御される。

【0023】請求項1の発明では、内部電圧生成手段の非動作期間中は、第1の抵抗分圧回路に電流が流れないようにして、容量分圧回路の分圧出力により内部電圧を制御するため、消費電力を低減することができる。

【0024】請求項2の発明では、内部電圧生成手段の動作状態により第1および第2のスイッチ手段を切り替えるため、内部電圧生成手段が動作中は追従性よく内部電圧を制御でき、かつ、内部電圧生成手段の非動作期間中は消費電力を低減できる。

【0025】請求項3の発明では、内部電圧生成手段の動作状態に応じて第1の差動増幅器に入力される電圧を切り替えるため、一個の差動増幅器で内部電圧の制御を行うことができる。

【0026】請求項4の発明では、第1の差動増幅器の電源端子に電圧を供給するかどうかを制御する第2の差動増幅器を設けるため、必要な場合のみ第1の差動増幅器の電源端子に電圧を供給することができ、第1の差動増幅器の消費電力を抑制できる。

【0027】請求項5の発明では、第2の差動増幅器を

低消費電力型の回路で構成するため、第2の差動増幅器に常時電源電圧を供給しても、全体としての消費電力は増えない。

【0028】請求項6の発明では、第2の抵抗分圧回路を設けるため、比較手段の入力端子が浮遊状態になることはなく、消費電力を低減できる。

【0029】請求項7の発明では、第1および第2の抵抗分圧回路の抵抗比を略等しくするため、両者の分圧出力電圧が略等しくなり、かつ、第1の抵抗分圧回路内の各抵抗素子のインピーダンスは第2の抵抗分圧回路内の各抵抗素子のインピーダンスよりも小さいため、第2の抵抗分圧回路の消費電力を抑制できる。

【0030】請求項8の発明では、容量分圧回路内の各キャパシタ素子をディプレッション型にするため、PN接合によるリークが起きなくなる。

【0031】請求項9の発明では、第1および第2のスイッチ手段をCMOSトランジスタで構成するため、トランジスタのしきい値の影響を受けなくなる。

【0032】

【発明の実施の形態】以下、本発明に係る半導体集積回路について、図面を参照しながら具体的に説明する。以下では、半導体集積回路の一例として、外部から供給された電源電圧を昇圧する昇圧回路、あるいは電源電圧を降圧する降圧回路について説明する。

【0033】（第1の実施形態）第1の実施形態は、昇圧回路の待機状態時での消費電力を少なくしたことを特徴とする。

【0034】図1は第1の実施形態の昇圧回路の回路図である。図1では、図12と共通の構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0035】図1の昇圧回路は、図12と同様に、オペアンプ（第1の差動増幅器）1と、インバータ1V1と、リングオシレータ2と、チャージポンプ3とを有する。その他、図1の昇圧回路は、昇圧電圧 V_{pp} と接地電圧間に直列接続されたキャパシタC1、C2からなる容量分圧回路4と、昇圧電圧 V_{pp} と接地電圧間に直列接続された抵抗R1、R2からなる第1の抵抗分圧回路5と、抵抗R1、R2の間に接続されたトランジスタスイッチ（第1のスイッチ手段）SW1と、容量分圧回路4および第1の抵抗分圧回路5の各分圧出力端子間に接続されたトランジスタスイッチ（第2のスイッチ手段）SW2とを有する。トランジスタスイッチSW1、SW2のゲート端子にはいずれも、インバータ1V1の出力OSCEが入力される。オペアンプ1は、図14と同様に構成されている。図1のリングオシレータ2とチャージポンプ3は、内部電圧生成手段に対応する。

【0036】次に、図1の昇圧回路の動作を説明する。定常状態では、オペアンプ1の正側入力端子TAPCの電圧と負側入力端子の電圧 V_{BGR} は同電圧になる。昇圧電圧 V_{pp} が所望の電圧を越えると、オペアンプ1の出力電圧

は正電圧になり、インバータ1V1の出力OSCEはローレベルになる。したがって、リングオシレータ2は発振動作を停止し、それに従ってチャージポンプ3は昇圧動作を停止する。

【0037】この状態で時間が経過すると、昇圧電圧 V_{pp} の供給を受ける不図示の負荷回路内のトランジスタのPN接合容量からのリークにより、昇圧電圧 V_{pp} は徐々に低下する。

【0038】やがて、昇圧電圧 V_{pp} が所望の電圧よりも低くなると、オペアンプ1の正側入力端子TAPCの電圧は基準電圧 V_{BGR} よりも低くなり、オペアンプ1の出力電圧が低くなってインバータ1V1の出力はハイレベルになる。これにより、リングオシレータ2は発振動作を開始し、それに従ってチャージポンプ3も昇圧動作を開始する。

【0039】また、インバータ1V1の出力がハイレベルになると、トランジスタスイッチSW1、SW2がともにオンし、オペアンプ1の正側入力端子TAPCの電圧は抵抗 R_1 、 R_2 の接続点TAPRと同電位になる。このように、チャージポンプ3が昇圧動作を行っている間は、抵抗 R_1 、 R_2 により昇圧電圧 V_{pp} の制御が行われる。

【0040】一方、昇圧電圧 V_{pp} が所望の電圧を超えると、オペアンプ1の正側入力端子TAPCの電圧は基準電圧 V_{BGR} よりも高くなり、インバータ1V1の出力OSCEはローレベルに変化する。これにより、リングオシレータ2は発振動作を停止し、チャージポンプ3も昇圧動作を停止する。

【0041】この状態では、トランジスタスイッチSW1、SW2がともにオフし、抵抗 R_1 、 R_2 に電流が流れなくなるため、昇圧電圧 V_{pp} の電圧検知はキャパシタC1、C2のみにより行われる。このように、チャージポンプ3が昇圧動作を行っていない間、すなわち、昇圧電圧 V_{pp} の下降時は、キャパシタC1、C2により昇圧電圧 V_{pp} の電圧検知が行われる。そして、昇圧電圧 V_{pp} が所望の電圧を下回ると、インバータ1V1の出力が再びハイレベルになり、チャージポンプ3は昇圧動作を再開する。

【0042】以上に説明したように、第1の実施形態では、第1の抵抗分圧回路5を構成する抵抗 R_1 、 R_2 の間にトランジスタスイッチSW1を設けるとともに、オペアンプ1の正側入力端子に容量分圧回路4を接続し、チャージポンプ3が昇圧動作を行っていない待機状態時は第1の抵抗分圧回路5に電流が流れないようにして容量分圧回路4のみで昇圧電圧 V_{pp} の電圧検知を行うため、待機状態時の消費電力を低減することができる。

【0043】(第2の実施形態) 第2の実施形態は、第1の実施形態よりもさらに消費電力の低減を図ったものである。

【0044】図2は第2の実施形態の昇圧回路の回路図である。図2では、図1と共通する構成部分には同一符

号を付しており、以下では相違点を中心に説明する。図2の昇圧回路は、オペアンプ1の電源端子に電圧を供給するか否かを制御する電源制御回路6を有する点に特徴がある。

【0045】電源制御回路6は、オペアンプ(第2の差動増幅器)61と、オペアンプ61の出力端子に接続されたインバータ1V2とを有する。オペアンプ61は、オペアンプ1に比べて動作速度は遅いものの、動作電流が少なく低消費電力型の回路で構成されている。また、オペアンプ61は、オペアンプ1と同様に、容量分圧回路4の分圧電圧TAPCと基準電圧 V_{BGR} とを比較する。ただし、オペアンプ1と異なり、オペアンプ61の電源端子には常に電源電圧 V_{cc} が供給される。

【0046】図3はオペアンプ61の内部構成を示す回路図である。図3では、図14のオペアンプ1と共通する構成部分には同一符号を付している。図2のオペアンプ61は、図3に示すように、トランジスタQ3、Q4とトランジスタQ5との間に接続されたトランジスタQ7を有する。このトランジスタQ7のゲート電圧BIASを制御することにより、トランジスタQ1~Q4に流れる電流を制限することができ、消費電流の低減が図れる。

【0047】図4は、図2の昇圧回路の昇圧電圧 V_{pp} と、オペアンプ1の正側入力端子TAPCの電圧と、電源制御回路6の出力電圧SOSCEと、インバータ1V1の出力電圧OSCEとの電圧波形図である。

【0048】以下、図4の電圧波形図に基づいて、図2の昇圧回路の動作を説明する。定常状態では、オペアンプ1の正側入力端子TAPCの電圧と基準電圧 V_{BGR} は同電位になる。昇圧電圧 V_{pp} が所望の電圧を超えると、オペアンプ1の出力電圧は高くなり、インバータ1V1の出力電圧OSCEはローレベルになる。これにより、リングオシレータ2は発振動作を停止し、チャージポンプ3も昇圧動作を停止する。この状態では、トランジスタスイッチSW1、SW2はいずれもオフし、昇圧電圧 V_{pp} の電圧検知は容量分圧回路4により行われる。

【0049】また、オペアンプ61の出力電圧もハイレベルになり、インバータ1V2の出力電圧はローレベルになるため、オペアンプ1の電源端子には電圧は供給されなくなり、オペアンプ1は休止状態になる。このように、チャージポンプ3が昇圧動作を行っていない間は、第1の抵抗分圧回路5に電流が流れないだけでなく、オペアンプ1内部にも電流が流れなくなり、消費電力をよりいっそう低減することができる。

【0050】一方、昇圧電圧 V_{pp} が所望の電圧より低くなると、電源制御回路6内のオペアンプ61の出力電圧が低くなり、インバータ1V2の出力がハイレベルになるため、オペアンプ1の電源端子に電圧が供給されて、オペアンプ1は動作を再開する。この状態では、オペアンプ1の出力はローレベルになるため、リングオシレータ2は発振動作を開始し、それに従ってチャージポンプ

3は昇圧動作を開始する。

【0051】また、同時に、トランジスタスイッチSW1、SW2がともにオンし、オペアンプ1の正側入力端子TAPCの電圧は第1の抵抗分圧回路5の分圧電圧TAPRと略等しい電圧になる。このように、チャージポンプ3が昇圧動作を行っている間は、第1の抵抗分圧回路5に電流が流れるとともに、オペアンプ1に電源電圧が供給されて、オペアンプ1は第1の抵抗分圧回路5により昇圧電圧 V_{pp} の電圧制御を行う。

【0052】以上に説明したように、第2の実施形態では、チャージポンプ3が昇圧動作を行っていない間は、昇圧電圧 V_{pp} の電圧制御を行うオペアンプ1に電源電圧を供給しないようにしたため、第1の実施形態よりもさらに消費電力を低減することができる。

【0053】(第3の実施形態)第3の実施形態は、第1および第2の実施形態の変形例であり、チャージポンプ3が昇圧動作を行っていないときに、オペアンプ1の正側入力電圧が不定にならないようにしたものである。

【0054】図5は第3の実施形態の昇圧回路の回路図である。図5では、図2と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0055】図5の昇圧回路は、図2の回路に第2の抵抗分圧回路7を新たに追加したものである。第2の抵抗分圧回路7は、昇圧電圧 V_{pp} と接地電圧との間に直列接続された抵抗 $R1'$ 、 $R2'$ を有する。

【0056】図2に示す第2の実施形態の場合、チャージポンプ3が昇圧動作を行っていない場合は、トランジスタスイッチSW1、SW2がいずれもオフし、オペアンプ1の正側入力端子は、キャパシタC1、C2の接続点のみに接続される。このため、オペアンプ1の正側入力端子は完全に浮遊状態になる。理想的な状態では、キャパシタC1、C2の容量比に応じた電圧がオペアンプ1の正側入力端子に入力されるが、実際には、ノードTAPCに接続されるトランジスタスイッチSW2のドレイン端のPN接合からのリークにより、徐々に電圧が低下し、チャージポンプ3の動作回数が増えてしまい、結果として、待機状態での消費電力が増えてしまう。

【0057】一方、図5のように、キャパシタC1、C2に並列に抵抗 $R1'$ 、 $R2'$ を追加すれば、待機状態のときも、オペアンプ1の正側入力電圧は浮遊状態にならなくなる。

【0058】抵抗 $R1'$ 、 $R2'$ の抵抗比は抵抗 $R1$ 、 $R2$ の抵抗比と同じにするのが望ましいが、必ずしも同じでなくてもよい。ただし、抵抗 $R1'$ 、 $R2'$ の抵抗値を抵抗 $R1$ 、 $R2$ の抵抗値よりも大きくするのが望ましい。例えば、前者の抵抗値が後者の100倍であれば、待機状態時に抵抗 $R1'$ 、 $R2'$ に流れる電流を、動作状態時に抵抗 $R1$ 、 $R2$ に流れる電流の100分の1にすることができる。

【0059】このように、第3の実施形態では、容量分

圧回路4に並列に第2の抵抗分圧回路7を新たに設けるため、チャージポンプ3の非動作時に、オペアンプ1の正側入力端子が浮遊状態にならなくなる。したがって、正側入力端子のレベルが変動しなくなり、消費電力を低減できる。また、第3の実施形態は、図2と同様に容量分圧回路4を有するため、昇圧電圧 V_{pp} が何らかの原因で急変しても追従性よく電圧変動を抑制するような制御が可能になり、昇圧電圧 V_{pp} の変動を抑制できる。

【0060】なお、図5の第2の抵抗分圧回路7を図1の回路に設けてもよい。これにより、図1の回路においても、チャージポンプ3の非動作時に、オペアンプ1の正側入力端子が浮遊状態にならなくなり、消費電力をより低減できるようになる。

【0061】(第4の実施形態)第4の実施形態は、デプレッション型のキャパシタを設けることにより、キャパシタの接続点が浮遊状態になっても、トランジスタのPN接合によるリークが起きないようにしたものである。

【0062】図6は昇圧回路内の容量分圧回路4周辺の回路図である。図6に示すように、容量分圧回路4は、昇圧電圧 V_{pp} と接地電圧との間に直列接続された2個のデプレッション型のキャパシタC1'、C2'を有する。

【0063】図7はキャパシタC1'の断面構造を示す図である。図示のように、MOSトランジスタのドレイン端子Dとソース端子Sを接地電圧にすることにより、ドレイン端子と基板間のPN接合によるリークが起きないようにしている。一方、図7のキャパシタC2'は、MOSトランジスタのドレイン端子とソース端子を電源電圧にすることにより、PN接合によるリークが起きないようにしている。

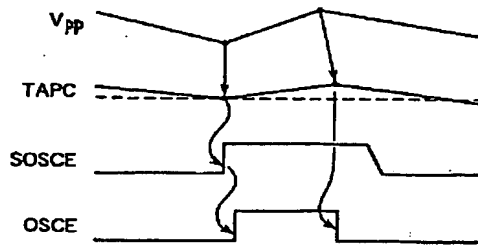
【0064】また、図8は図6のトランジスタスイッチSW1、SW2をCMOS構造にしたものである。CMOS構造にすることにより、MOSトランジスタのしきい値の影響を受けなくなり、第1の抵抗分圧回路5の抵抗比に応じた電圧や、容量分圧回路4の容量比に応じた電圧を正確にオペアンプ1に伝達することができる。

【0065】(その他の実施形態)上述した各実施形態では、昇圧回路の消費電力を低減する例について説明したが、本発明は降圧回路についても同様に適用可能である。

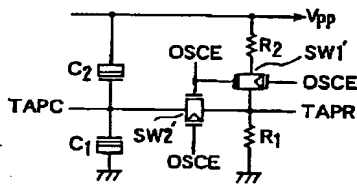
【0066】例えば、図9は図1と同様に第1の抵抗分圧回路5に並列に容量分圧回路4を接続した降圧回路の回路図である。また、図10は図2と同様にオペアンプ1の電源端子に電圧を供給するか否かを制御する電源制御回路6を有する降圧回路の回路図である。さらに、図11は図5と同様に第2の抵抗分圧回路7を追加した降圧回路の回路図である。

【0067】図9～図11の降圧回路は、リングオシレータ2とチャージポンプ3の代わりにPMOSトランジスタ

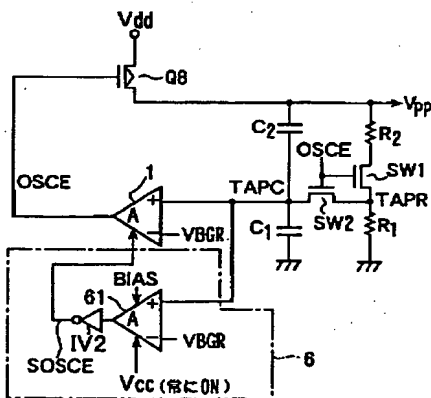
【図4】



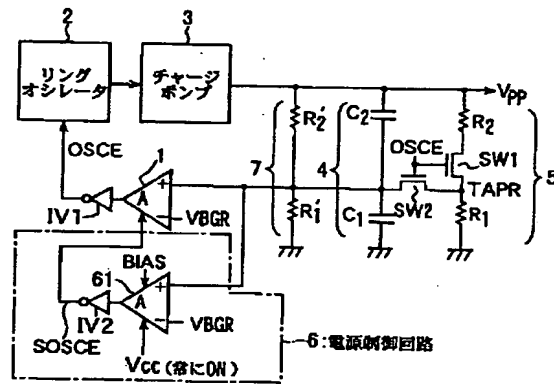
【図8】



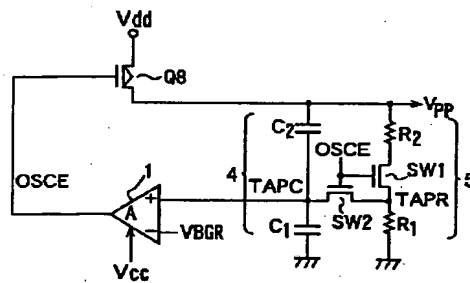
【図10】



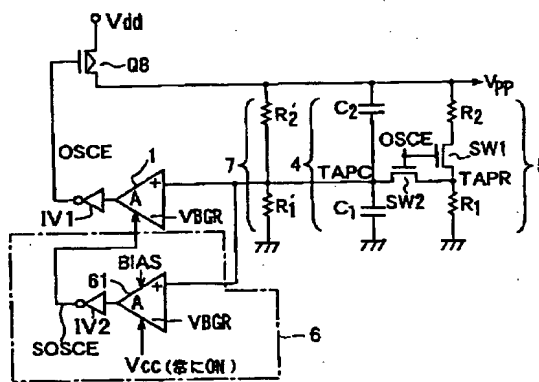
【図5】



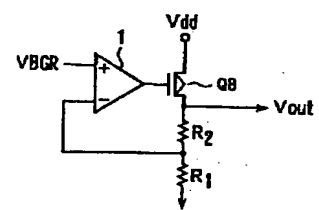
【図9】



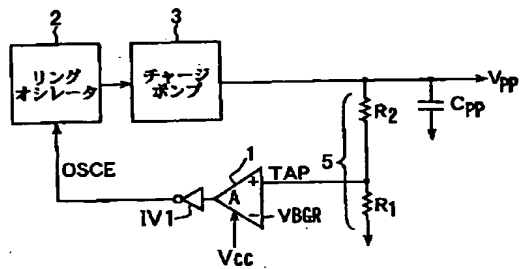
【図11】



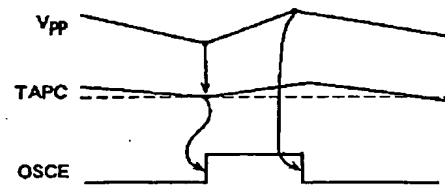
【図16】



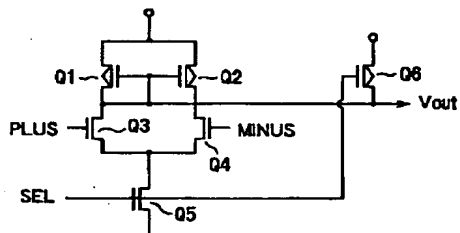
【図12】



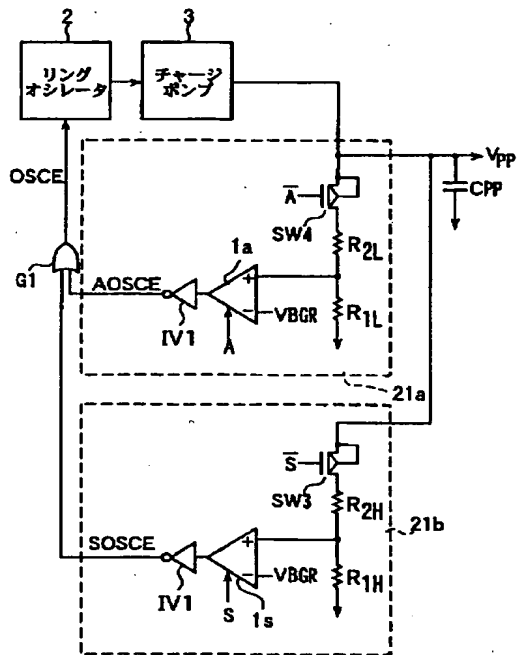
【図13】



【図14】



【図15】



【図17】

